

JPAB

CLIPPEDIMAGE= JP406029549A

PAT-NO: JP406029549A

DOCUMENT-IDENTIFIER: JP 06029549 A

TITLE: FIELD-EFFECT TRANSISTOR

PUBN-DATE: February 4, 1994

INVENTOR-INFORMATION:

NAME

NISHIKAWA, SATORU

ASSIGNEE-INFORMATION:

NAME

COUNTRY

OKI ELECTRIC IND CO LTD

N/A

APPL-NO: JP04184890

APPL-DATE: July 13, 1992

INT-CL (IPC): H01L029/788; H01L029/792 ; G11B005/024 ; G11B017/00
; H01L027/10

; H01L041/24

ABSTRACT:

PURPOSE: To provide a field-effect transistor with a structure to increase the times for writing and erasing information.

CONSTITUTION: An SiO₂ film 47 and Pb(Zr-Ti)O₃, namely a thin film 49 of PZT, are formed on a p-type silicon substrate 41 in this order as a gate insulation film 51. A gate electrode (control gate) 53 is provided on the gate insulation film 51. A source region 43 and a drain region 45 are provided at each side of the silicon substrate 41. Therefore, an FET can be maintained to be on or off utilizing the polarization of the PZT thin film 49, thus forming '1' or '0' state needed for a memory cell. Since no current needs to be fed to the gate insulation film, deterioration in the insulation film can be suppressed, thus increasing the times of writing and erasing information.

COPYRIGHT: (C)1994, JPO&Japio

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-29549

(43) 公開日 平成6年(1994)2月4日

(51) Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 29/788				
29/792				
G 1 1 B 5/024		9196-5D		
		9274-4M	H 0 1 L 29/78 3 7 1	
			41/22 B	
審査請求 未請求 請求項の数 1 (全 7 頁) 最終頁に続く				

(21) 出願番号 特願平4-184890

(22) 出願日 平成4年(1992)7月13日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 西川 哲

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74) 代理人 弁理士 大垣 孝

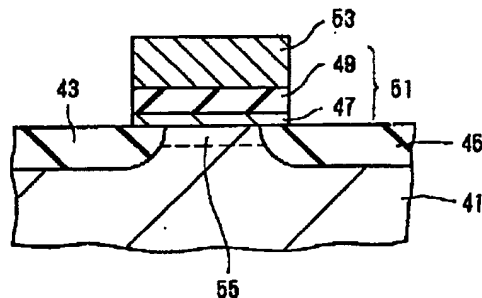
(54) 【発明の名称】 電界効果トランジスタ

(57) 【要約】

【目的】 情報書き込み及び消去回数を従来より向上させることができる構造を有する電界効果トランジスタを提供すること。

【構成】 p型シリコン基板41にSiO₂膜47とPb(Zr-Ti)O₃いわゆるPZTの薄膜49とをこの順に積層してゲート絶縁膜51とする。このゲート絶縁膜51上にゲート電極(コントロールゲート)53を具える。シリコン基板41の、ゲート絶縁膜を挟んだ一方側にソース領域43を他方側にドレイン領域45を具える。

【効果】 PZTの薄膜49の分極を利用して電界効果トランジスタをオン状態またはオフ状態に保持できるので、これらでメモリセルに必要な「1」状態または「0」状態を形成できる。ゲート絶縁膜に電流を流さず済むので絶縁膜劣化を抑制できるから、情報書き込み及び消去回数が向上する。



41: 半導体基板
43: ソース領域
45: ドレイン領域
47: 強誘電体以外の絶縁膜 (例えばSiO₂膜)
49: 強誘電体薄膜 (例えばPZTの薄膜)
53: ゲート電極 (コントロールゲート)
55: 閾値調整用イオン注入領域

実施例のFETの説明に供する断面図

1

2

【特許請求の範囲】

【請求項1】 半導体基板上にゲート絶縁膜及びゲート電極をこの順に具える電界効果トランジスタにおいて、ゲート絶縁膜を、半導体基板側から順に設けた強誘電体以外の絶縁膜と強誘電体薄膜との積層体で構成したことを特徴とする電界効果トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、不揮発性メモリのセル用トランジスタとして用いて好適な電界効果トランジスタに関するものである。

【0002】

【従来の技術】 不揮発性メモリのセル用トランジスタとして、現在2つの構造の電界効果トランジスタ（以下、「FET」ともいう。）が提案されている（例えば文献I「Physics of Semiconductor Devices」, A Wiley-Interscience Publication (1981) p. 496~497）。その一方は、いわゆるフローティングゲート型と呼ばれるFETであり、他方は、MIOS (Metal-Insulator-Oxide-Semiconductor) 型と呼ばれるFETである。これらの動作原理について上記文献Iに従って簡単に説明する。図7(A)及び(B)はその説明に供する図であり、その図7(A)はフローティング型のものの構造を概略的に示した断面図、また、図7(B)はMIOS型のものの構造を概略的に示した断面図である。

【0003】 フローティングゲート型のFETは、ソース領域1及びドレイン領域13が形成されたシリコン基板15上に、ゲート絶縁膜としての第1絶縁膜17、フローティングゲート19、第2絶縁膜21及びゲート電極としてのコントロールゲート23をこの順に積層した構成とされていた。フローティングゲート19は周囲から電気的に絶縁されている。

【0004】 このFETでは、フローティングゲート19に電荷が蓄積されているか否か、或いは蓄積された電荷の符号が正か負か、或いは蓄積された電荷の大小で、記憶状態「1」または「0」が形成される。フローティングゲート19への電荷の注入は、コントロールゲート23及び基板15間に所定電圧を印加することで第1絶縁膜17及び第2絶縁膜21に電界をかけ、これによりコントロールゲート23から基板15へ電流を流すことにより、行なえる。このとき、第1絶縁膜17及び第2絶縁膜21に流れる電流は、これら絶縁膜にかかる電界によりそれぞれ J_1 (ϵ_1)、 J_2 (ϵ_2)と表わせる。ただし、 J_1 は第1絶縁膜17を流れる電流、 J_2 は第2絶縁膜21を流れる電流、 ϵ_1 は第1絶縁膜17にかかる電界、 ϵ_2 は第2絶縁膜21にかかる電界である。そしてこのように電流が流れるとき、フローティングゲート19には、 $\int_0^t [J_1(\epsilon_1) - J_2(\epsilon_2)] dt$ で規定される電荷が蓄積される。なお、 \int_0^t は積分範囲が0からtの意である。またこの

電荷の蓄積を効率良く行なうためには、第1絶縁膜17及び第2絶縁膜21を、同じ電界で流れる電流がそれぞれ大きく異なる材料で、構成するのが良い。

【0005】 なお、このFETにおいて、フローティングゲート19へ電荷を注入する他の方法として、このFETをオン状態としておき、ドレイン電流によって発生したいわゆるチャネルホットエレクトロンをフローティングゲート19に引き込む方法も知られている。

【0006】 一方、MIOS型のFETは、ソース領域31及びドレイン領域33が形成されたシリコン基板35上に、第1絶縁膜37aおよび第2絶縁膜37bを積層して構成したゲート絶縁膜37と、コントロールゲート39とをこの順に具える構成とされていた。ただし、第1絶縁膜37aは電子トラップ密度の小さな材料で構成され、第2絶縁膜37bは電子トラップ密度の大きな材料で構成されていた。このMIOS型のFETでは、コントロールゲート39及び基板35間に所定極性で電圧を印加し基板33側からコントロールゲート39側に電子を注入するとこの電子が第2絶縁膜37bにトラップされる。第2絶縁膜37bに電子がトラップされているか否かにより、「0」または「1」を記憶することができた。

【0007】

【発明が解決しようとする課題】 しかしながら、上述の従来のメモリセル用のFETでは、情報の書き込み及び消去を行なう際、フローティング型にあっては第1絶縁膜17に、また、MIOS型にあっては第1及び第2絶縁膜37a、37bに、それぞれ電流を流す必要がある。これら絶縁膜には、弱い電界では微小電流しか流れずこのため情報書き込み及び消去を実用的な時間で行なえないのでこれを回避するために、高電界が印加される。しかしそうすると、絶縁膜の耐圧が劣化し絶縁破壊に至り易くなるため情報書き込み及び消去回数がおのずと制約される。したがって、メモリセル用のFETでは、情報の書き込み及び除去回数をいかに高めるかが重要な課題であった。

【0008】 この発明はこのような点に鑑みなされたものであり、従ってこの発明の目的は情報書き込み及び消去回数を従来より向上させることができる構造を有する電界効果トランジスタを提供することにある。

【0009】

【課題を解決するための手段】 この目的の達成を図るため、この発明によれば、半導体基板上にゲート絶縁膜及びゲート電極をこの順に具える電界効果トランジスタにおいて、ゲート絶縁膜を、半導体基板側から順に設けた強誘電体以外の絶縁膜と強誘電体薄膜との積層体で構成したことを特徴とする。

【0010】 ここで、強誘電体薄膜の構成材料は種々の強誘電体を用いることができる。例えば、ヘロブスカイト系の例えばPb(Zr-Ti)O₃、いわゆるPZT、

BaTiO₃などを用いることができる。また、強誘電体以外の絶縁膜としては例えばシリコン酸化膜、シリコン窒化膜などを用いることができる。

【0011】

【作用】この発明の構成によれば、ゲート絶縁膜のうちの強誘電体以外の絶縁膜で構成された部分が従来のゲート絶縁膜として機能し、強誘電体薄膜で構成された部分が強誘電体薄膜キャパシタとして機能するFETが、得られる。この強誘電体薄膜キャパシタでは、ゲート電極に印加される電圧に応じ静電誘導が生じこの電圧に対応する分極値を示す。また、強誘電体以外の絶縁膜で構成された部分には上記分極値に対応する電圧がかかる。これら分極値及び電圧はゲート電極をフローティングにすることにより保持される。また、強誘電体薄膜キャパシタでの上記分極値は、ゲート電極に印加する電圧を工夫することにより、当該FETをオン状態とさせ得る電圧を与える分極値、或いは、当該FETをオフ状態とさせ得る電圧を与える分極値とできる。FETのこのようなオン状態又はオフ状態はメモリセルでの記憶状態「1」または「0」として利用できる。このように、この発明のFETでは「0」及び「1」の記憶状態は、絶縁膜を通して電荷注入を行なって形成されるのではなく静電誘導を利用して形成される。このため、電流に起因する絶縁膜劣化を防止できるので、情報書き込み回数の制限を無くすることができ、また、書き込み時間の向上も期待できる。また、記憶の保持時間は強誘電体薄膜の特性のみにより決定できる。

【0012】

【実施例】以下、図面を参照してこの発明の電界効果トランジスタの実施例について説明する。しかしながら、説明に用いる各図はこの発明を理解できる程度に、各構成成分の形状、大きさおよび配置関係を概略的に示してあるにすぎない。

【0013】1. 構造及びその製法説明

図1は実施例の電界効果トランジスタの構造を概略的に示した断面図である。ここでは、Nチャネルの電界効果トランジスタの例で説明する。

【0014】この電界効果トランジスタは、半導体基板としてのp型シリコン基板41にソース領域43及びドレイン領域45を具え、さらにこのシリコン基板41上に、強誘電体以外の絶縁膜としてのSiO₂膜47と強誘電体薄膜としてのPb(Zr-Ti)O₃いわゆるPZTの薄膜49とをこの順に積層して構成したゲート絶縁膜51を具え、さらにこのゲート絶縁膜51上にゲート電極(コントロールゲート)53を具える構成となっている。なお、図1において55は、閾値調整用イオン注入領域である。

【0015】このFETは例えば次のような手順で形成できる。p型シリコン基板41に公知の方法により素子間分離用絶縁膜(図示せず)を形成する。次に、このシ

リコン基板41表面に例えば熱酸化法によりSiO₂膜を形成する。次に、電界効果トランジスタの閾値調整のために、このシリコン基板41に所定不純物をイオン注入法により注入する。次に、このシリコン基板41のSiO₂膜上にPZTの薄膜を形成する。このPZTの薄膜は、例えばスパッタ法、CVD法、或いは、塗布溶液を用いたスピンコート法などの好適な方法により形成できる。次に、PZTの薄膜の特性を向上させる目的でこの薄膜に対しアニール処理を施した後、この薄膜上にゲート電極形成用薄膜を形成する。このゲート電極形成用薄膜は、例えば、n⁺ポリシリコン、或いは、n⁺ポリシリコン及びこの上に形成されたWシリサイド、或いはタングステン(W)など公知の種々のもので構成できる。次に、通常のリソグラフィ技術及びエッチング技術によりゲート電極形成用薄膜、PZTの薄膜及びSiO₂膜をそれぞれゲート電極形状に加工する。これにより、基板41上にゲート電極51、PZTの薄膜49及びSiO₂膜47が形成される。次に、ソース領域43及びドレイン領域45を形成するために、ゲート電極53をマスクとしてシリコン基板41にn型不純物をイオン注入法により注入する。

【0016】2. 動作方法の説明

次に、この発明の理解を深めるために、実施例の電界効果トランジスタを用い不揮発性メモリ装置を構成した場合のその動作について説明する。図2は図1のFETを用い構成した不揮発性メモリ装置の1つのメモリセル部分の等価回路図である。この図2において、61はコントロールゲートライン、63はワードライン、65はビットラインである。

【0017】この不揮発性メモリ装置では、詳細は後述するが、コントロールゲートライン61に印加するパルスとビットライン63に印加するパルスとの組み合わせによりキャパシタC₁の分極状態を達せ、そして、これら分極状態の違いによりFETをオン状態またはオフ状態とし、これらオン状態又はオフ状態でメモリセルの「0」状態又は「1」状態を形成できる。また、各セルの記憶状態は、ワードライン63及びビットライン65を走査してこれらライン63、65間の導通状態即ちFETのオン/オフ状態を検出することにより読み出すことができる。

【0018】以下、メモリセルへの情報(「0」、「1」)の書き込み手順について詳細に説明する。図3～図5はその説明に供する図である。ここで図3は、図1のFET中のSiO₂膜47で構成されるキャパシタC₁とPZTの薄膜49で構成されるキャパシタC₂とから成る部分の等価回路図である。また、図4はPZTの薄膜49での、これに印加される電圧とこの電圧による分極との関係を示した特性図(ヒステリシスカーブ)である。図4において、(i)及び(ii)で示す値は、PZTの薄膜49にかかる電界が0での保持分極-P、また

は P_1 に相当する。また、図5はコントロールゲートライン61に印加する電圧を変化させた場合の、キャパシタ C_1 にかかる電圧の変化(実線)及びキャパシタ C_0 にかかる電圧の変化(破線)をそれぞれ示した特性図である。ただし、図5は、シリコン基板に形成される反転層での電位差は無視しており、かつ、 SiO_2 膜47の膜厚が20nm、PZTの薄膜49の膜厚が250nmである場合を想定して示してある。

【0019】今、コントロールゲートライン61に±10Vの範囲で電圧を変化させて印加すると、強誘電体キャパシタは分極するので、各キャパシタ C_0 及び C_1 にかかる電圧は、キャパシタ C_0 については図5中の実線で示したように変化し、キャパシタ C_1 については図5中の破線で示したように変化する。したがって、図4中の(i)及び(ii)に対応する点は、図5において、キャパシタ C_1 に関しては(1)及び(2)で示す点となり、キャパシタ C_0 に関しては(a)及び(b)で示す点となる。したがって、この不揮発性メモリ装置では、コントロールゲートライン61及びビットライン65間の電圧を0→10V→-10V→-2.3Vと変化させることにより、キャパシタ C_1 にかかる電圧を零とでき、かつ、キャパシタ C_1 での保持分極を $-P_1$ とでき、然も、キャパシタ C_0 にかかる電圧を-2.3Vとできる。また、同電圧を0→10V→+10V→2.7Vと変化させることにより、キャパシタ C_1 にかかる電圧を零とでき、かつ、キャパシタ C_1 での保持分極を P_1 とでき、然も、キャパシタ C_0 にかかる電圧を2.7Vとできる。そして、このときコントロールゲートライン61をフローティングとすると、上記保持分極及びキャパシタ C_0 にかかる電圧は保持される。

【0020】ところで、 SiO_2 膜キャパシタ C_0 に上述のように保持電圧(上記例では2.7Vとか-2.3Vの電圧)がかかっているということは、膜厚が20nmのゲート絶縁膜を有するFETの当該ゲート絶縁膜に保持電圧(2.7Vとか-2.3Vの電圧)がかかっていることと等価である。したがって、このFETの閾値 V_{th} を、 $2.7 > V_{th} > -2.3$ を満足するように、閾値調整イオン注入において予め調整しておけば、図5の(a)の状態においてこのFETはオフに、(b)の状態においてこのFETをオンになる。FETのこのようなオフ状態やオン状態は、ワードライン63及びビットライン65(図2参照)を走査することによりこれら間の導通状態として読み出すことができる。したがって、上述の様な2つの分極状態を利用して、メモリセルの記憶状態「0」及び「1」を形成できることになる。

【0021】上述のように強誘電体キャパシタ C_1 での P_1 又は $-P_1$ の分極状態により記憶状態「0」及び「1」を形成した場合、強誘電体薄膜キャパシタ C_1 に電界がかからない状態でメモリセルの「0」または「1」の状態が得られるので信頼性の点で好適である。

しかし、コントロールゲートライン61に0→10V→-10V→-2.3Vや、0→-10V→+10V→2.7Vというように電圧を印加するのは回路構成などの点から実用的でない場合もある。その場合は、例えば、次のようにするのが好適である。図6(A)～(C)はその説明に供する図であり、コントロールゲートライン61に印加する電圧を V_1 、ビットライン65に印加する電圧を V_2 とそれぞれ示した場合に、メモリセルに「0」を書き込む場合、「1」を書き込む場合それぞれで各端子 V_1 、 V_2 に印加するパルスを説明した図である。

【0022】各端子 V_1 、 V_2 に図6(B)に示した条件でパルスを印加した場合、図6(A)の V_1 及び V_2 端子間にはこれらの合成電圧が印加されるので10V→0V→10V→0Vの順に電圧が印加されることになる。したがって、 SiO_2 膜で構成したキャパシタ C_0 に係る電圧は図5において(c)点を出発点と考えた場合(c)→(f)→(b)→(d)→(f)→(d)と変化し結局(d)で示される値になる。一方、各端子 V_1 、 V_2 に図6(C)に示した条件でパルスを印加した場合、図6(A)の V_1 及び V_2 端子間には-10V→0V→-10V→0Vの順に電圧が印加されることになるから、 SiO_2 膜で構成したキャパシタ C_0 に係る電圧は図5において(c)点を出発点と考えた場合(c)→(e)→(c)→(e)→(c)と変化し結局(c)で示される値になる。

【0023】そこで、この不揮発メモリ装置の全てのメモリセルを最初に図5の(c)点の状態となるようにしておいてこの状態を記憶状態「0」とする。そして、メモリセルに「1」を書き込む場合には図6(B)に示した条件でパルスを V_1 及び V_2 端子にそれぞれ印加しキャパシタ C_0 にかかる電圧を図5の(d)点の状態とする。メモリセルを「0」のままにする場合には図6(C)に示した条件でパルスを V_1 及び V_2 端子にそれぞれ印加する。この図6を用いて説明した駆動方法の場合、図5の(c)点及び(d)点間の電位差は1.5V程度となる。すなわち、記憶状態「0」及び「1」両者ではキャパシタ C_0 にかかる電圧に1.5V程度の差が出せる。なお、この電圧差は、強誘電体材料を変えること、キャパシタ C_1 及びキャパシタ C_0 、各々の薄膜部分の膜厚を調整することにより大きくすることができる。なお、この図6を用いて説明した駆動方法の場合は、FETの閾値 V_{th} を、図5中の(d) $>V_{th}>$ 図5中の(c)を満足するよう調整しておくことが前提である。より好ましくは、閾値 V_{th} を、図5中の(d) $>V_{th}>$ 図5中の(c)を満足する値でかつ負の値としておくのが好ましい。 V_{th} を、(d) $>V_{th}>$ (c)かつ負の値とすると、図6(B)及び(C)においてコントロールゲートラインに10Vが印加されている間は少なくともFETはオン状態になるので書き込み端子の一方をビットライン65(図2参照)とすることができるからである。

【0024】上述においては、この発明の電界効果トランジスタの実施例について説明したが、この発明は上述の実施例に限られない。

【0025】例えば上述の実施例では、強誘電体薄膜をPZTの薄膜で構成し、強誘電体以外の絶縁膜をSiO₂膜で構成していたが、これら材料を他の好適な材料とした場合も実施例と同様な効果が得られる。また、実施例ではNチャネルFETの例で説明したが、PチャネルFETに対してもこの発明はもちろん適用できる。

【0026】

【発明の効果】上述した説明からも明らかなように、この発明の電界効果トランジスタによれば、ゲート絶縁膜を強誘電体以外の絶縁膜と強誘電体薄膜との積層体により構成したので、この強誘電体薄膜の分極を利用して当該FETをオン状態またはオフ状態に保持できる。そしてこれらオン状態及びオフ状態はメモリセルの記憶状態として利用する。これらの記憶状態は、絶縁膜を通して電荷注入を行なって形成されるのではなく静電誘導を利用して形成される。このため、電流に起因する絶縁膜劣化を防止できるので、情報書き込み及び消去回数を従来より増加でき、また、書き込み時間の向上も期待できる。

【図面の簡単な説明】

【図1】実施例の電界効果トランジスタの説明に供する断面図である。

【図2】実施例の電界効果トランジスタを用い構成した

メモリセルの等価回路図である。

【図3】実施例の電界効果トランジスタのゲート絶縁膜部分の等価回路図である。

【図4】実施例の電界効果トランジスタで用いた強誘電体薄膜での電界と分極との関係を示した特性図（ヒステリシスカーブ）である。

【図5】実施例の電界効果トランジスタを用い構成したメモリセルの動作説明に供する図である。

【図6】(A)～(C)は、実施例の電界効果トランジスタを用い構成したメモリセルへ情報書き込みする場合の駆動方法の説明図である。

【図7】(A)及び(B)それぞれは、従来の電界効果トランジスタの説明に供する図である。

【符号の説明】

41：半導体基板（p型シリコン基板）

43：ソース領域

45：ドレイン領域

47：強誘電体以外の絶縁膜（例えばSiO₂膜）

49：強誘電体薄膜（例えばPZTの薄膜）

51：ゲート絶縁膜

53：ゲート電極（コントロールゲート）

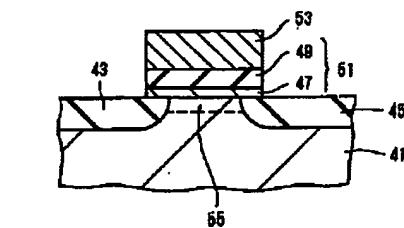
55：閾値調整用イオン注入領域

61：コントロールゲートライン

63：ワードライン

65：ビットライン

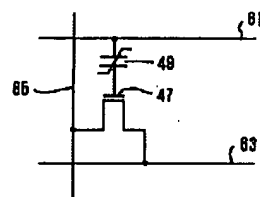
【図1】



41：半導体基板
43：ソース領域
45：ドレイン領域
47：強誘電体以外の絶縁膜（例えばSiO₂膜）
49：強誘電体薄膜（例えばPZTの薄膜）
53：ゲート電極（コントロールゲート）
55：閾値調整用イオン注入領域

実施例のFETの説明に供する断面図

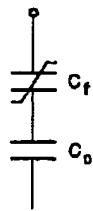
【図2】



61：コントロールゲートライン
63：ワードライン
65：ビットライン

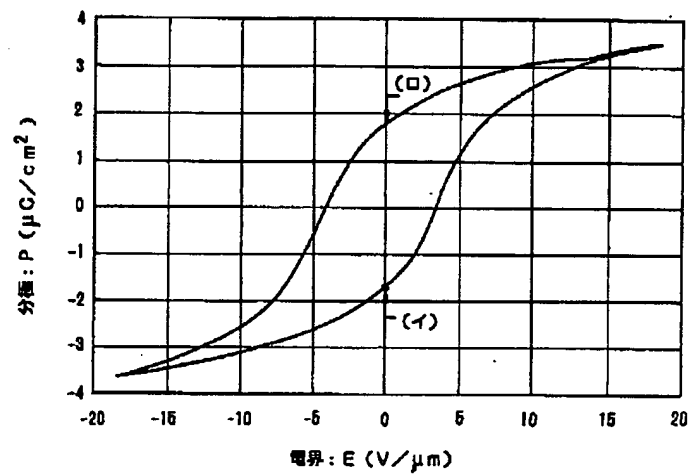
実施例のFETを用い構成したメモリセルの等価回路図

【図3】



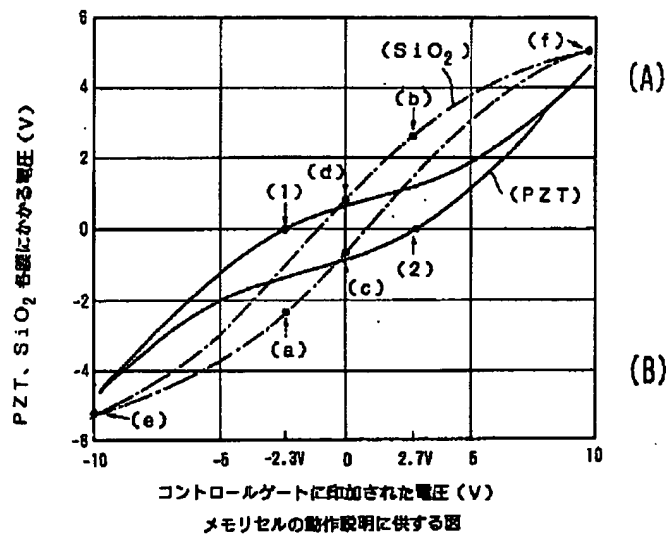
実施例のFETのゲート絶縁膜部分の等価回路図

【図4】

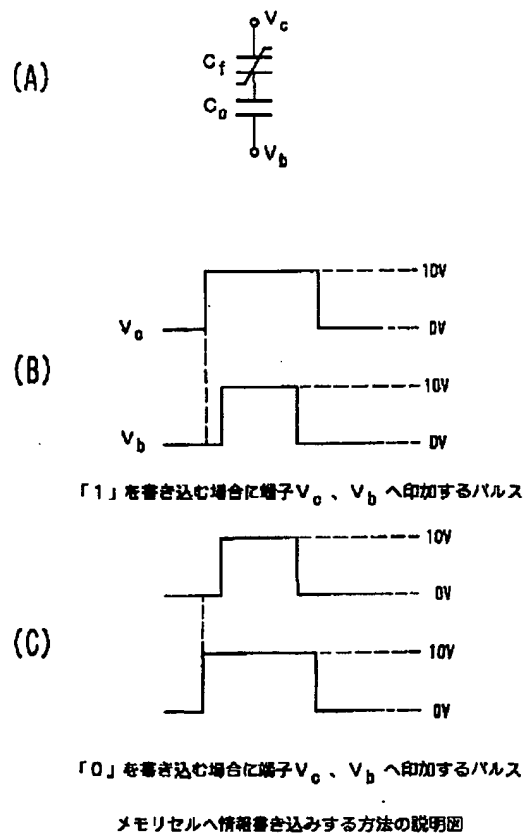


実施例のFETで用いた強誘電体薄膜でのヒステリシスカーブ

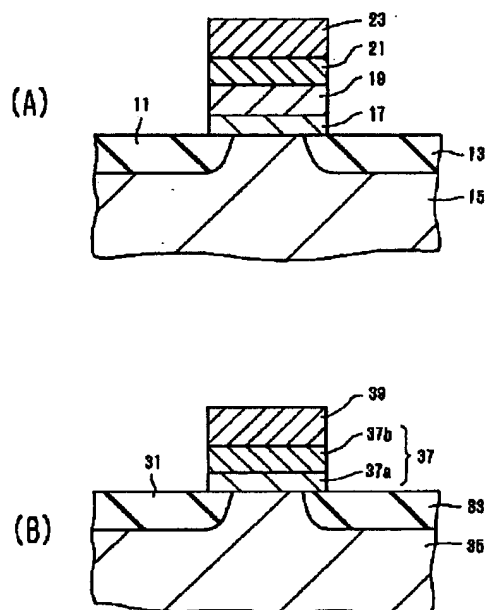
【図5】



【図6】



【図7】



従来の各FETの説明に供する図

フロントページの続き

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 B 17/00		8110-5D		
H 0 1 L 27/10	4 2 1	8728-4M		
41/24				